

DERWENT-ACC-NO: 1993-314383

DERWENT-WEEK: 199340

COPYRIGHT 1999 DERWENT INFORMATION LTD

**TITLE:** Simplified formation of waveguide in high productivity - comprises forming ditch of predetermined pattern on silicon@ coated substrate, oxidising silicon@, forming impurity-contg. silicon oxide layer etc.

**PATENT-ASSIGNEE:** SUMITOMO ELECTRIC CO[SUME]

**PRIORITY-DATA:** 1992JP-0025260 (February 12, 1992)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 05224055 A	September 3, 1993	N/A	005	G02B 006/12

**APPLICATION-DATA:**

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 05224055A	N/A	1992JP-0025260	February 12, 1992

**INT-CL (IPC):** G02B006/12

**ABSTRACTED-PUB-NO:** JP 05224055A

**BASIC-ABSTRACT:**

Waveguide formation process comprises (1) forming a ditch (190) of a predetermined pattern (which is corresp. to the waveguide pattern) on a substrate having silicon surface (110); (2) oxidising the silicon to form a lower clad layer (320); (3) forming a core layer (330) made of silicon oxide contg impurities on the lower clad layer; and (4) forming an upper clad layer (160) on the core layer. Pref after the core layer is formed, it is levelled.

**USE/ADVANTAGE** - High productivity is attained. Since the silicon is etched to form high size-precision ditch and the core is formed by the use of this ditch, the core shape (i.e. the waveguide pattern) can be formed with high precision. Accordingly, loss of the waveguide can be reduced and as the structure of the

waveguide is very simple, the process can be simplified.

CHOSEN-DRAWING: Dwg.1A-D/6

TITLE-TERMS: SIMPLIFY FORMATION WAVEGUIDE HIGH PRODUCE  
COMPRISE FORMING DITCH

PREDETERMINED PATTERN SILICON@ COATING SUBSTRATE  
OXIDATION SILICON@  
FORMING IMPURE CONTAIN SILICON OXIDE LAYER

DERWENT-CLASS: L03 P81 V07

CPI-CODES: L03-G02;

EPI-CODES: V07-F01A5;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1993-139611

Non-CPI Secondary Accession Numbers: N1993-242002

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] this invention relates to the waveguide which is one of the optical parts in a communication information processing field.

#### [0002]

[Description of the Prior Art] as the waveguide creation method -- "-- generally a method which is indicated by optical volume [ 18th ] No. 12 (1989. 12) p.681" is learned It is as follows if the general waveguide production method is explained briefly.

[0003] The laminating of the lower clad layer 120 and the core layer 130 which make a quartz a principal component is carried out by oxidizing a silicon substrate 110 thermally ( drawing 4 (a) ), and depositing and sintering a glass particle by FHD (the flame depositing method) on a silicon substrate 110 ( drawing 4 (b) ). Next the etching mask layer 140 for \*\*\*\*\*ing the core layer 130 is deposited ( drawing 4 (c) ), and a photoresist 150 is formed so that it may leave a predetermined pattern with photolithography technology ( drawing 4 (d) ). A photoresist 150 is used as a mask, the etching mask layer 140 is \*\*\*\*\*ed by reactive ion etching (RIE) ( drawing 5 (e) ), a core waveguide layer is \*\*\*\*\*ed by RIE by using the etching mask layer 140 as a mask, and a waveguide pattern is processed ( drawing 5 (f) ). The etching mask layer 140 is removed ( drawing 5 (g) ), and the up clad layer 160 which makes a quartz a principal component is deposited and sintered ( drawing 6 (i) ). ( drawing 5 (h) ) The dicing of the desired portion is carried out and it leaves it ( drawing 6 (j) ), and an end face is ground and mirror-plane processing is carried out ( drawing 6 (k) ). And a single mode optical fiber (SMF) 210 is mounted ( drawing 6 (l) ). Thus, the waveguide is produced.

#### [0004]

[Problem(s) to be Solved by the Invention] The above-mentioned production method carries out the laminating of the lower clad layer 120 and the core layer 130 one by one, processes a waveguide pattern, forms the up clad layer 160, and is producing the waveguide. Since deposition and sintering, and etching are repeated in case these layers are formed, the process is complicated. Especially, etching processing of a silicon-oxide layer takes time, and the fault of being bad also has productivity in it.

#### [0005]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the waveguide production method of this invention The 1st process which forms the slot corresponding to the waveguide pattern on the substrates (for example, a silicon substrate, the substrate in which the silicon film was prepared) whose front faces are silicon, The 2nd process which oxidizes the silicon with which the slot was formed and forms a lower clad layer, It is characterized by having the 3rd process which forms the core layer which consists of a silicon oxide containing an impurity (what gathers the refractive index of silicon oxides, such as phosphorus and germanium) on a lower clad layer, and the 4th process which forms an up clad layer on a core layer.

[0006] Moreover, after the 3rd process forms a core layer, it is good also considering carrying out flattening as a feature.

[0007]

[Function] By the waveguide production method of this invention, the silicon on the front face of a substrate is \*\*\*\*ed at the 1st process, and the slot corresponding to the waveguide pattern is formed. If this silicon is oxidized at the 2nd process, a lower clad layer with the slot of a waveguide pattern will be formed. At the 3rd process, the portion which the core layer of the silicon oxide containing an impurity deposited on this slot, and deposited on this slot becomes the core of a waveguide. It becomes the waveguide which forms an up clad layer at the 4th process, and has a predetermined pattern.

[0008] If flattening is carried out at the 3rd process, while flattening of the irregularity of the front face produced by the slot will be carried out, the core layer deposited out of the slot is removed.

[0009]

[Example] The example of this invention is explained with reference to a drawing. The explanation shall be simplified about a thing the same as that of the above-mentioned conventional example, or equivalent, or it shall omit.

[0010] The characteristic portion in the waveguide production method of the 1st example of this invention is shown in drawing 1 and drawing 2. The 1st example is explained using drawing 1 and drawing 2.

[0011] First, a photoresist 150 is formed on a silicon substrate 110 so that it may leave a predetermined pattern with photolithography technology (drawing 1 (a)). A silicon substrate 110 is \*\*\*\*ed by reactive ion etching (RIE) by using a photoresist 150 as a mask, and the slot corresponding to the predetermined waveguide pattern is prepared (drawing 1 (b)). In the case of this etching, it is CF4. It uses, carries out by flow rate 10sccm and the pressure of 3Pa for 15 minutes, and \*\*\*\*s in 6-micrometer depth. The etching mask layer 140 is removed (drawing 1 (c)).

[0012] Next, about 1200 degrees C and oxidation treatment of 240 hours are performed in the oxygen atmosphere (O2+H2O) which contained the steam for this substrate 110. The silicon of the front face of a substrate 110 oxidizes and it is SiO2. A film is formed. This becomes the lower clad layer 320 (drawing 1 (d)). A glass particle is deposited in FHD (the flame depositing method), CVD, or a spatter on a silicon substrate 110, and the laminating of the core layer 330 is carried out (drawing 2 (e)).

Phosphorus (P) is doped by this core layer 330 at about 5.0% of a rate as an impurity for gathering the refractive index of a silicon oxide. Moreover, it deposits so that a slot 190 may be filled. And the up clad layer 160 which makes a quartz a principal component is deposited and sintered by FHD or CVD (drawing 2 (g)). (drawing 2 (f))

[0013] After this, it is the same as drawing 6 (j) of the above-mentioned conventional example or subsequent ones. If it repeats, the dicing of the desired portion is carried out and it leaves it (drawing 6 (j)), and an end face will be ground and mirror-plane processing will be carried out (drawing 6 (k)). And a single mode optical fiber (SMF) 210 is mounted (drawing 6 (l)).

[0014] By this waveguide production method, since the slot 190 is formed in silicon-substrate 110 front face by etching, the configuration of a slot 190 is controlled very precisely. When it forms by RIE especially, formation of the slot 190 of a very good configuration is attained. Moreover, also about control of the thermal oxidation thickness (thickness of the lower clad layer 320) formed in the case of oxidization of the front face of a substrate 110, it is analyzed enough theoretically, and, also experimentally, is established, and it is possible to control thermal oxidation thickness very precisely. Therefore, the slot 190 (drawing 1 (d)) of the lower clad layer 320 formed after oxidization of the front face of a substrate 110 has a very high dimensional accuracy, and the waveguide which the core layer 330 deposits on this slot 190, and is made will become very precise. In addition, it expands, in case it oxidizes thermally, and it is SiO2. What is necessary is to expect expansion beforehand and just to form doping layer 310a about this point, although a film is formed.

[0015] Below, the 2nd example of this invention is explained.

[0016] This 2nd example has the feature at the point of carrying out etchback and removing the unnecessary portion of the core layer 330, after carrying out the laminating of the core layer 330 in the 1st example, and it attaches for it and explains it to this point using drawing 3. In the 2nd example, it

sinters, after carrying out the laminating of the core layer 330 at the same process as the 1st example (drawing 2 (e)) (drawing 3 (f)). Although it has not appeared explicitly in drawing at this time, the hollow is generated into the portion with the slot 190 of the front face of the core layer 330. Flattening is carried out by etchback and the core layer 330 of the portion in which a slot 190 was not formed is removed (drawing 3 (g)). This flattening may be the method usually used in the semiconductor process, and methods other than etchback are sufficient as it. Flattening by etchback is the method of carrying out the spin application of the fluid resist, applying a front face to a front face evenly, and imprinting this flat resist front face by RIE from on this. This method is a good method also with few problems that an effect is large and. The up clad layer 160 is deposited and sintered after flattening (drawing 3 (i)). (drawing 3 (h)) After this, it is the same as drawing 6 (j) of the above-mentioned conventional example or subsequent ones.

[0017] This 2nd example has the advantage that in addition to the advantage of the 1st above-mentioned example it shuts up and a waveguide with good and \*\*, and a small cross talk and optical small leak can be produced. This is because the excessive portion of the core layer 330 is removed by etchback and light stopped leaking from a core to an excessive portion.

[0018] Not only the above-mentioned example but various deformation is possible for this invention.

[0019] For example, a silicon substrate is oxidized, although the lower clad layer was formed, a silicon layer is prepared on the surface of a substrate, this silicon layer is oxidized, and you may make it form a lower clad layer in the above-mentioned example. In this case, a substrate is not restricted to a silicon substrate but the substrate of other materials, such as sapphire, can be used for it. Moreover, what is necessary is not to be restricted to phosphorus about an impurity but just to gather the refractive index of silicon oxides, such as germanium.

[0020]

[Effect of the Invention] Since silicon is \*\*\*\*\*ed, the high slot on the dimensional accuracy is formed and the core is formed using this slot according to the waveguide production method of this invention as above, the configuration of a waveguide pattern, i.e., a core, can be made with a sufficient precision. Therefore, loss of a waveguide can be reduced. Moreover, by the waveguide production method of this invention, since the composition is easy, a process can be made very simple.

[0021] If etchback is performed at the 3rd process, since a portion with an unnecessary core layer will be removed, there can be few cross talks, light can close and eye \*\* can produce a good waveguide.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The waveguide production method characterized by providing the following. The 1st process which forms the slot of the predetermined pattern corresponding to the waveguide pattern on the substrate whose front face is silicon. The 2nd process which oxidizes the aforementioned silicon with which the aforementioned slot was formed, and forms a lower clad layer. The 3rd process which forms the core layer which consists of a silicon oxide containing an impurity on the aforementioned lower clad layer. The 4th process which forms an up clad layer on the aforementioned core layer.

[Claim 2] The 3rd process of the above is the waveguide production method according to claim 1 characterized by carrying out flattening after forming the aforementioned core layer.

---

[Translation done.]

h

g cg b

eb cg e e

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-224055

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl.<sup>5</sup>

G 02 B 6/12

識別記号

庁内整理番号

F I

技術表示箇所

M 7036-2K

A 7036-2K

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号

特願平4-25260

(22)出願日

平成4年(1992)2月12日

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72)発明者 瀬村 滋

神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

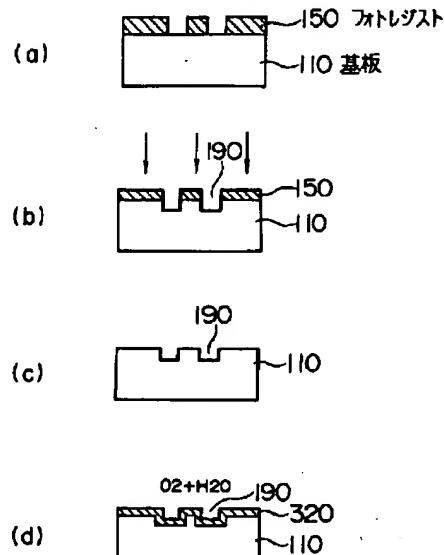
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 導波路作製方法

(57)【要約】

【目的】 生産性のよい導波路作成方法を提供する。

【構成】 表面がシリコンである基板110(例えば、シリコン基板、シリコン膜が設けられた基板など)上に、導波路パターンに対応した溝190を形成する第1の工程(図1(a)～(c))と、溝が形成されたシリコンを酸化して下部クラッド層320を形成する第2の工程(図1(d))と、下部クラッド層320上に不純物(燐、ゲルマニウムなど酸化シリコンの屈折率を上げるもの)を含む酸化シリコンからなるコア層330を形成する第3の工程と、コア層330上に上部クラッド層160を形成する第4の工程とを有することを特徴とする。



## 【特許請求の範囲】

【請求項1】 表面がシリコンである基板上に、導波路パターンに対応した所定のパターンの溝を形成する第1の工程と、

前記溝が形成された前記シリコンを酸化して下部クラッド層を形成する第2の工程と、

前記下部クラッド層上に不純物を含む酸化シリコンからなるコア層を形成する第3の工程と、

前記コア層上に上部クラッド層を形成する第4の工程とを有することを特徴とする導波路作製方法。

【請求項2】 前記第3の工程は、前記コア層を形成した後、平坦化することを特徴とする請求項1記載の導波路作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、通信情報処理分野における光部品の一つである導波路に関する。

## 【0002】

【従来の技術】 導波路作成方法としては、「光学 第18巻第12号(1989.12)p.681」に記載されているような方法が一般的に知られている。一般的な導波路作製方法を簡単に説明するとつぎのようになっている。

【0003】 シリコン基板110を熱酸化し(図4(a))、シリコン基板110上にFHD(火炎堆積法)でガラス微粒子を堆積し焼結することによって、石英を主成分とする下部クラッド層120及びコア層130を積層する(図4(b))。つぎに、コア層130をエッチングするためのエッチングマスク層140を堆積し(図4(c))、フォトリソグラフィ技術にて所定のパターンを残すようにフォトレジスト150を形成する(図4(d))。フォトレジスト150をマスクとしてエッチングマスク層140を反応性イオンエッチング(RIE)でエッチングし(図5(e))、エッチングマスク層140をマスクとしてコア導波路層をRIEでエッチングして導波路パターンを加工する(図5(f))。エッチングマスク層140を除去し(図5(g))、石英を主成分とする上部クラッド層160を堆積し(図5(h))焼結する(図6(i))。所望の部分をダイシングして残し(図6(j))、端面を研磨し鏡面加工する(図6(k))。そしてシングルモード光ファイバ(SMF)210を実装する(図6(l))。このようにして導波路が作製されている。

## 【0004】

【発明が解決しようとする課題】 前述の作製方法は、下部クラッド層120及びコア層130を順次積層し、導波路パターンを加工して上部クラッド層160を形成して導波路を作製している。これらの層を形成する際、堆積・焼結とエッチングとを繰り返すのでプロセスが繁雑なものになっている。特に、酸化シリコン層のエッチング加工には、時間を要し生産性が悪いという欠点もある。

る。

## 【0005】

【課題を解決するための手段】 上記課題を解決するためには、本発明の導波路作製方法は、表面がシリコンである基板(例えば、シリコン基板、シリコン膜が設けられた基板など)上に、導波路パターンに対応した溝を形成する第1の工程と、溝が形成されたシリコンを酸化して下部クラッド層を形成する第2の工程と、下部クラッド層上に不純物(燐、ゲルマニウムなど酸化シリコンの屈折率を上げるもの)を含む酸化シリコンからなるコア層を形成する第3の工程と、コア層上に上部クラッド層を形成する第4の工程とを有することを特徴とする。

【0006】 また、第3の工程は、コア層を形成した後、平坦化することを特徴としても良い。

## 【0007】

【作用】 本発明の導波路作製方法では、第1の工程にて基板表面のシリコンをエッチングして導波路パターンに対応した溝が形成される。第2の工程でこのシリコンを酸化すると、導波路パターンの溝をもつ下部クラッド層が形成される。第3の工程では、不純物を含む酸化シリコンのコア層がこの溝に堆積し、この溝に堆積した部分が導波路のコアになる。第4の工程で上部クラッド層を形成して所定のパターンを持つ導波路になる。

【0008】 第3の工程で平坦化すると、溝によって生じた表面の凹凸が平坦化されるとともに溝の外に堆積したコア層が除去される。

## 【0009】

【実施例】 本発明の実施例を図面を参照して説明する。前述の従来例と同一または同等のものについてはその説明を簡略化し若しくは省略するものとする。

【0010】 図1、図2には、本発明の第1の実施例の導波路作製方法における特徴的な部分が示されている。図1、図2を用いて第1の実施例を説明する。

【0011】 まず、フォトリソグラフィ技術にて所定のパターンを残すようにフォトレジスト150をシリコン基板110上に形成する(図1(a))。フォトレジスト150をマスクとして反応性イオンエッチング(RIE)でシリコン基板110をエッチングして所定の導波路パターンに対応した溝を設ける(図1(b))。このエッチングの際にはCF<sub>4</sub>を用い、流量10sccm、圧力3Paで15分行い、6μmの深さエッチングする。エッチングマスク層140を除去する(図1(c))。

【0012】 つぎに、この基板110を水蒸気を含んだ酸素雰囲気(O<sub>2</sub>+H<sub>2</sub>O)中で約1200°C、240時間の酸化処理を行う。基板110の表面のシリコンが酸化し、SiO<sub>2</sub>膜が形成される。これが下部クラッド層320になる(図1(d))。シリコン基板110上にFHD(火炎堆積法)又はCVD法或いはスパッタ法でガラス微粒子を堆積しコア層330を積層する(図2)

3

(e)。このコア層330には酸化シリコンの屈折率を上げるために不純物として燐(P)が約5.0%の割合でドープされている。また、溝190を埋めるように堆積される。そして、FHD又はCVD法で石英を主成分とする上部クラッド層160を堆積し(図2(f))焼結する(図2(g))。

【0013】この後は、前述の従来例の図6(j)以降と同じである。繰り返すと、所望の部分をダイシングして残し(図6(j))、端面を研磨し鏡面加工する(図6(k))。そしてシングルモード光ファイバ(SMF)210を実装する(図6(l))。

【0014】この導波路作製方法では、シリコン基板110表面にエッチングで溝190を形成しているため、溝190の形状が非常に精密にコントロールされる。特に、RIEで形成した場合、非常に良好な形状の溝190の形成が可能になる。また、基板110の表面の酸化の際に形成される熱酸化膜厚(下部クラッド層320の厚さ)の制御についても、理論的に十分解析され、実験的にも確立されており、非常に精密に熱酸化膜厚を制御することが可能である。そのため、基板110の表面の酸化の後に形成される下部クラッド層320の溝190(図1(d))は非常に寸法精度が高く、この溝190にコア層330が堆積してできる導波路は非常に精密なものになる。なお、熱酸化する際、膨脹してSiO<sub>2</sub>膜が形成されるのであるが、この点については、予め膨脹を見込んでドーピング層310aを形成しておけば良い。

【0015】つぎに、本発明の第2の実施例について説明する。

【0016】この第2の実施例は、第1の実施例でコア層330を積層した後にエッチバックしてコア層330の不要な部分を除去する点に特徴を有し、図3を用いてこの点について説明する。第2の実施例では、第1の実施例と同様の工程でコア層330を積層したのち(図2(e))、焼結する(図3(f))。このとき、図には陽に現れていないが、コア層330の表面の溝190のあった部分に窪みが生じている。エッチバックにより平坦化し、溝190の形成されていなかった部分のコア層330を除去する(図3(g))。この平坦化は、半導体プロセスで通常用いられている方法で、エッチバック以外の方法でもよい。エッチバックによる平坦化は、表面に流動性レジストをスピニ塗布し、表面を平坦に塗布し、この上からRIEによりこの平坦なレジスト表面を転写する、という方法である。この方法は、効果が大き

4

くかつ問題も少ない良好な方法である。平坦化後、上部クラッド層160を堆積し(図3(h))焼結する(図3(i))。この後は、前述の従来例の図6(j)以降と同じである。

【0017】この第2の実施例は、前述の第1の実施例の利点に加えて、閉じ込めがよくかつクロストークや光リークが小さい導波路を作製できる、という利点がある。これは、エッチバックによりコア層330の余分な部分が除去され、コアから余分な部分に光がもれなくなつたためである。

【0018】本発明は前述の実施例に限らず様々な変形が可能である。

【0019】例えば、前述の実施例では、シリコン基板を酸化して下部クラッド層を形成したが基板の表面にシリコン層を設け、このシリコン層を酸化して下部クラッド層を形成するようにしても良い。この場合、基板は、シリコン基板に限らず、サファイアなど他の材料の基板を用いることができる。また、不純物については燐に限られず、ゲルマニウムなど酸化シリコンの屈折率を上げるものならば良い。

【0020】

【発明の効果】以上通り本発明の導波路作製方法によれば、シリコンをエッチングして寸法精度の高い溝を形成し、この溝を利用してコアを形成しているので、導波路パターン即ちコアの形状を精度良く作ることができ。そのため、導波路の損失を低減させることができる。また、本発明の導波路作製方法では、その構成が簡単であるため、プロセスを非常に簡略にすることができる。

30 【0021】第3の工程でエッチバックを行うと、コア層の不要な部分が除去されるため、クロストークが少なく、光の閉じ込めが良好な導波路を作製することができる。

【図面の簡単な説明】

【図1】第1の実施例の工程図。

【図2】第1の実施例の工程図。

【図3】第2の実施例の工程図。

【図4】従来例の工程図。

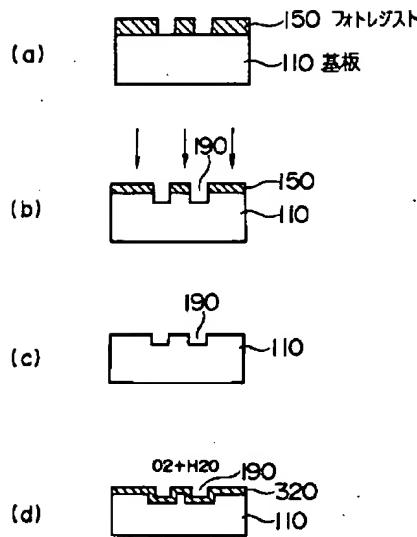
【図5】従来例の工程図。

40 【図6】従来例の工程図。

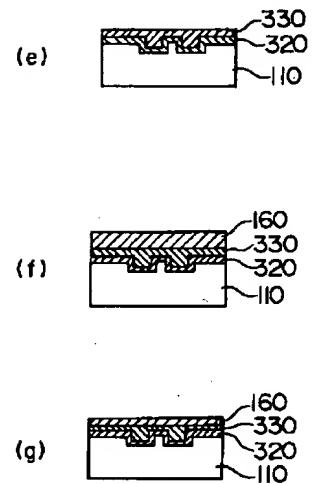
【符号の説明】

110…基板、160…上部クラッド層、190…溝、320…下部クラッド層、330…コア層。

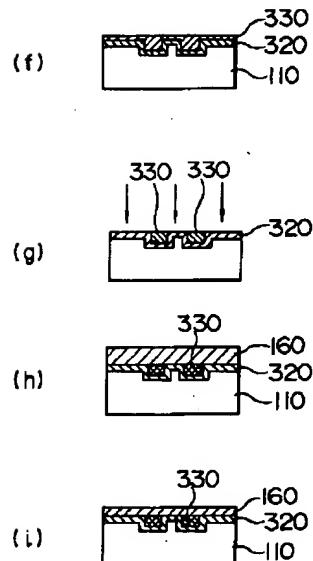
【図1】



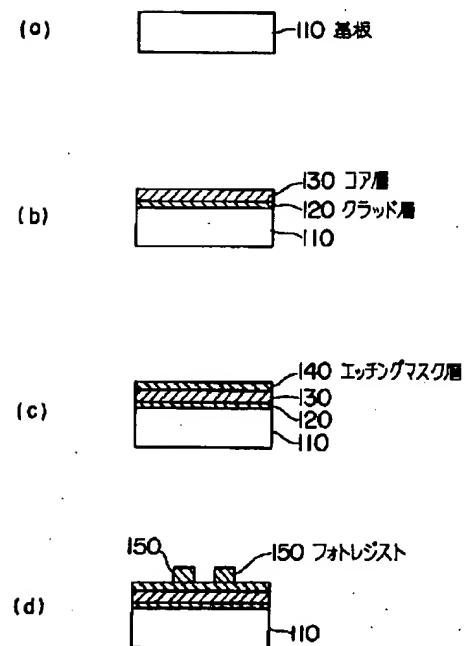
【図2】



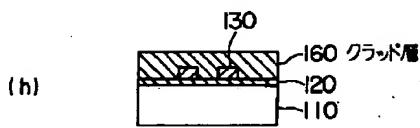
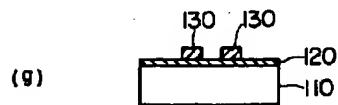
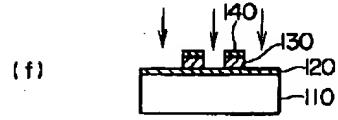
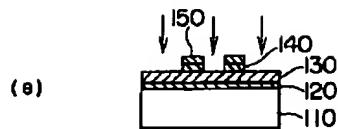
【図3】



【図4】



【図5】



【図6】

